

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284702

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-090924

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.04.1997

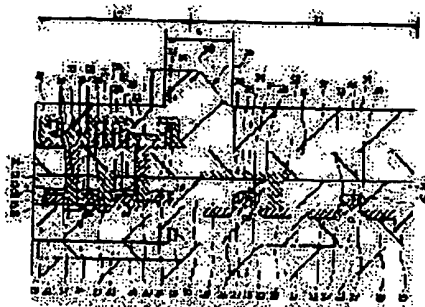
(72)Inventor : WATABE KOZO
SHIGENIWA MASAHIRO
OGISHIMA JUNJI
IKEDA NORIAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To planarize an interlayer insulating film which insulates an upper layer wiring and a lower layer wiring, without applying thermal stresses.

SOLUTION: An interlayer insulating film 35, made of a non-heat melting silicon oxide film, is deposited on an upper layer of a storage capacitance 33, and a resist is formed to cover a region of low altitude and a boundary region of the interlayer insulating film 35. Then, using this resist as a mask, the interlayer insulating film 35 is etched back. In addition, the interlayer insulating film 35 is polished by a CMP(chemical mechanical polishing) method to selectively polish a protrusion 38, thus planarizing the interlayer insulating film 35. In this polishing, the position of an end of the resist in the boundary region is controlled, thus limiting the distance L to not more than 10 μ m or the ratio of distance L/height H to not less than 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284702

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-090924

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.04.1997

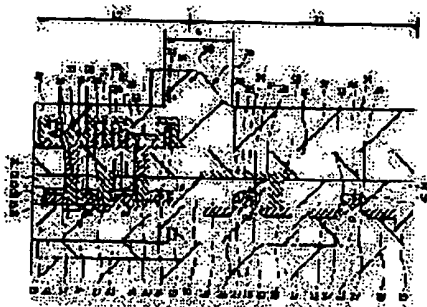
(72)Inventor : WATABE KOZO
SHIGENIWA MASAHIRO
OGISHIMA JUNJI
IKEDA NORIAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To planarize an interlayer insulating film which insulates an upper layer wiring and a lower layer wiring, without applying thermal stresses.

SOLUTION: An interlayer insulating film 35, made of a non-heat melting silicon oxide film, is deposited on an upper layer of a storage capacitance 33, and a resist is formed to cover a region of low altitude and a boundary region of the interlayer insulating film 35. Then, using this resist as a mask, the interlayer insulating film 35 is etched back. In addition, the interlayer insulating film 35 is polished by a CMP(chemical mechanical polishing) method to selectively polish a protrusion 38, thus planarizing the interlayer insulating film 35. In this polishing, the position of an end of the resist in the boundary region is controlled, thus limiting the distance L to not more than 10 μ m or the ratio of distance L/height H to not less than 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

15

して段差36が形成されている。また、層間絶縁膜57は、層間絶縁膜53と同様に非熱溶融性のシリコン酸化膜とすることができる。

【0074】さらに、層間絶縁膜57の標高の低い領域および境界領域を覆うようにレジスト58を形成する。レジスト58の形成は公知のフォトリソグラフィ技術を用いることができる。

【0075】次に、図19に示すように、レジスト58をマスクとして、公知のエッチング技術を用い、層間絶縁膜57をエッチバックする。このように蓄積容量33の形成された領域の層間絶縁膜57のみをエッチバックすることにより、標高の高い領域がなくなり、蓄積容量33の形成された領域とそれ以外の領域との標高がほぼ同じとなることは実施の形態1と同様である。また、境界領域におけるレジスト58の端部の位置を制御し、突起部59の距離Lを10 μ m以内、あるいは、距離L/高さHの比を1以上とすることができることは実施の形態1と同様である。

【0076】次に、図20に示すように、層間絶縁膜57をCMP法により研磨し平坦化する。この平坦化の際に硬質研磨パッドあるいは軟質研磨パッドを用いることができることは実施の形態1と同様である。このCMP研磨の結果、図20に示すように、層間絶縁膜57の表面の段差36が解消され、かつ、グローバルな平坦化が行われる。

【0077】なお、本実施の形態3では、上記の通り、高温に加熱する工程を経ずに層間絶縁膜57を平坦化することができるため、ビット線31、蓄積容量33の下部電極あるいはプレート電極に耐熱性に乏しい金属あるいは金属化合物を用いることができ、また、蓄積容量33の容量絶縁膜にも耐熱性の低いたとえば酸化タンタル等を用いることができる。さらに、接続部材55および配線56についても耐熱性に乏しい金属あるいは金属化合物を用いることができる。金属あるいは金属化合物としては、タングステン、タングステンシリサイド、チタン、窒化チタン、アルミニウムあるいは銅を例示することができ、このように金属、金属化合物あるいは酸化タンタルを用いることにより、各部材の導電性を向上し、あるいは誘電率を高めて、DRAMの性能の向上と高集積化への対応を容易にすることができることは実施の形態1と同様である。

【0078】次に、図21に示すように、接続孔60を開孔し、接続孔60に接続部材61を形成し、さらに配線62を形成する。さらに層間絶縁膜63を形成し、本実施の形態3のDRAMがほぼ完成する。

【0079】接続孔60は公知のフォトリソグラフィおよびエッチング技術を用いることができるが、本実施の形態3の場合、層間絶縁膜57がグローバルに平坦化されているため、フォトリソグラフィの際のフォーカスマージンを向上することができ、十分なマージンをもって

(9)

16

接続孔60を開孔することができる。また、十分なマージンの存在により周辺回路領域の集積度を向上し、チップサイズを縮小することも可能である。

【0080】接続部材61、配線62および層間絶縁膜63については実施の形態1の接続部材41、配線42および層間絶縁膜43と同様であるため説明を省略する。

【0081】本実施の形態3の半導体集積回路装置の製造方法によれば、層間絶縁膜57の平坦性を向上することができ、その後の工程の配線の短絡あるいは断線を防止し、また、フォトリソグラフィのプロセスマージンを向上してDRAMの信頼性を向上するとともにチップサイズの縮小を図ることができる。さらに、高温の熱工程を用いないため、ビット線31、蓄積容量33の下部電極およびプレート電極、容量絶縁膜あるいは接続部材55および配線56に金属、金属化合物を用いることができ、DRAMの性能の向上と高集積化への対応を図ることができる。また、層間絶縁膜57に非熱溶融性のシリコン酸化膜を使用して吸湿性を改善することができる。

【0082】なお、層間絶縁膜63の上層にさらに配線層を同様の方法で形成し、さらに多層な配線とすることが可能である。

【0083】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0084】たとえば、上記実施の形態1～3では、DRAMの製造方法を例示したが、たとえば、メモリ領域を同一チップに搭載したロジック半導体集積回路装置等に適用してもよい。

【0085】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0086】(1) 上層の配線と下層の配線とを絶縁する層間絶縁膜を熱ストレスを加えることなく平坦化することができる。

【0087】(2) 層間絶縁膜の平坦化により、その後のフォトリソグラフィ工程でのフォーカスマージンを向上し、配線の断線あるいは短絡を防止して、半導体集積回路装置の歩留まりおよび信頼性を向上するとともに耐熱性の低い材料を使用して半導体集積回路装置の性能を向上することができる。

【0088】(3) フォトリソグラフィ工程でのフォーカスマージンを向上して、高集積化に対応し、チップサイズを縮小することができる。

【0089】(4) 上層の配線と下層の配線とを接続する接続孔のアスペクト比を低減することができる。

【図面の簡単な説明】

(10)

17

【図1】実施の形態1の半導体集積回路装置の製造方法を適用するDRAMの一例を示した平面図である。

【図2】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図3】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図4】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図5】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図6】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図7】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図8】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図9】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図10】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図11】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図12】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図13】実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図14】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図15】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図16】実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図17】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図18】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図19】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図20】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図21】実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【符号の説明】

16 周辺回路領域
17 メモリアレイ領域
18 半導体基体
19 浅溝素子分離領域
20 nウェル

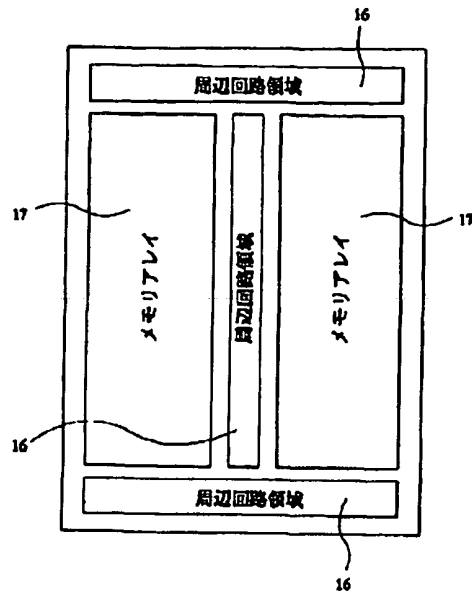
18

21 pウェル
22 nウェル
23 pウェル
24 ゲート絶縁膜
25 ゲート電極
26 キャップ絶縁膜
27 低濃度不純物半導体領域
28 サイドウォール
29 高濃度不純物半導体領域
30 層間絶縁膜
31 ビット線
32 配線
33 蓄積容量
34 層間絶縁膜
35 層間絶縁膜
36 段差
37 レジスト
38 突起部
39 研磨パッド
40 接続孔
41 接続部材
42 配線
43 層間絶縁膜
44 接続孔
45 接続部材
46 配線
47 層間絶縁膜
48 層間絶縁膜
49 レジスト
50 微細パターン
51 大面積パターン
52 突起部
53 層間絶縁膜
54 接続孔
55 接続部材
56 配線
57 層間絶縁膜
58 レジスト
59 突起部
60 接続孔
61 接続部材
62 配線
63 層間絶縁膜
L 距離
H 高さ
Qn n形MISFET
Qp p形MISFET
Qt 選択MISFET

(11)

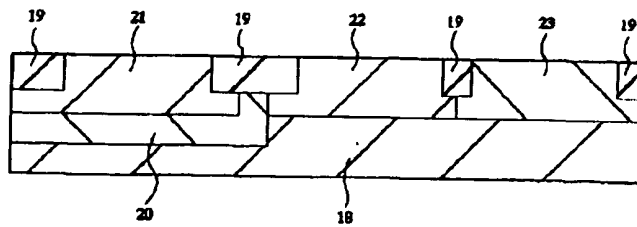
【図1】

図 1



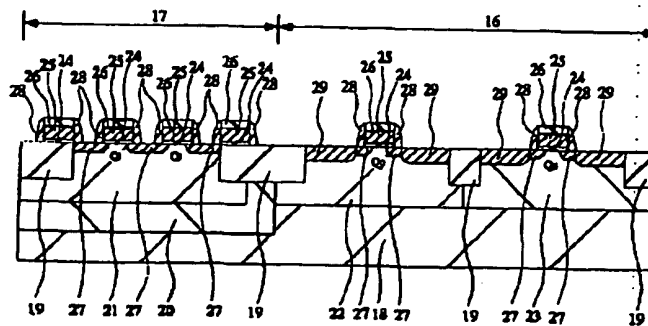
【図2】

図 2



【図3】

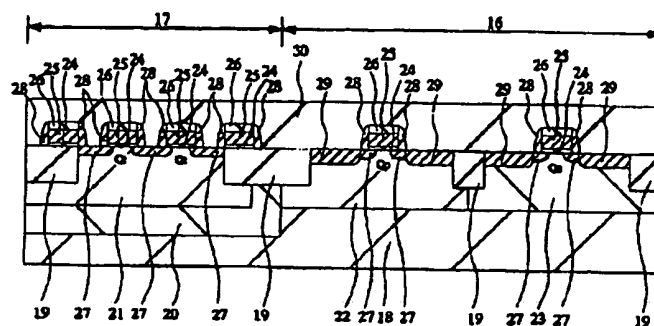
図 3



(12)

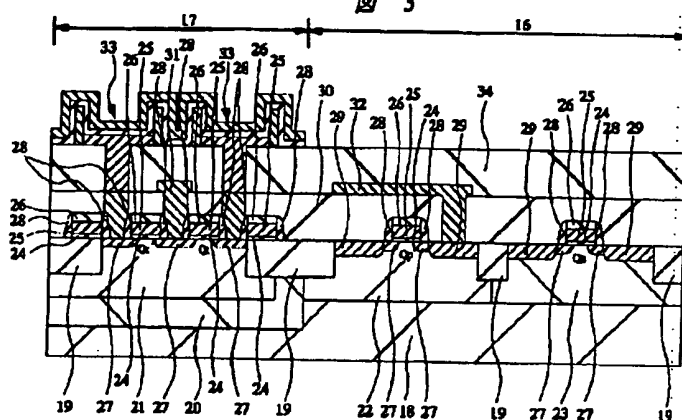
【圖4】

圖 4



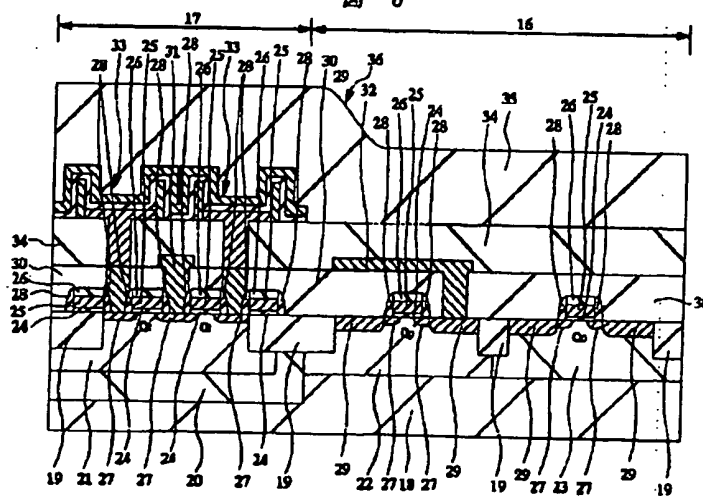
【圖5】

圖 5



【圖6】

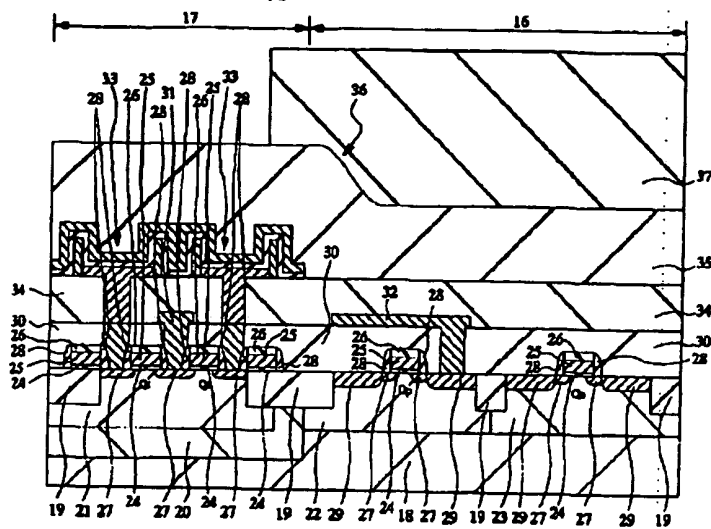
圖 6



(13)

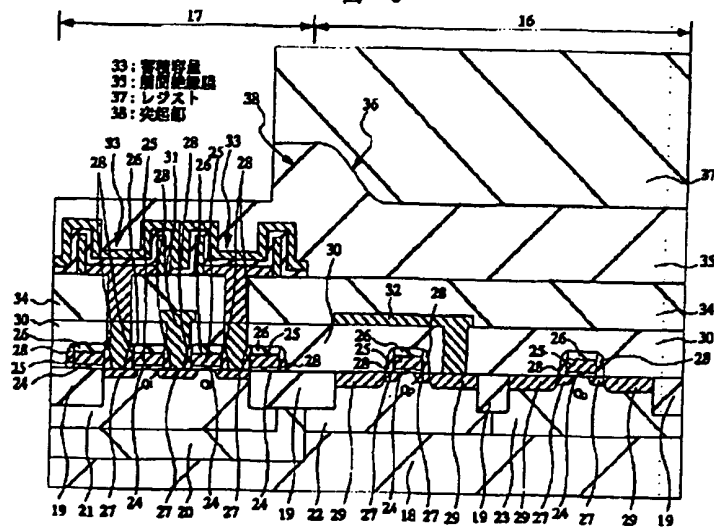
【圖 7】

7



【图8】

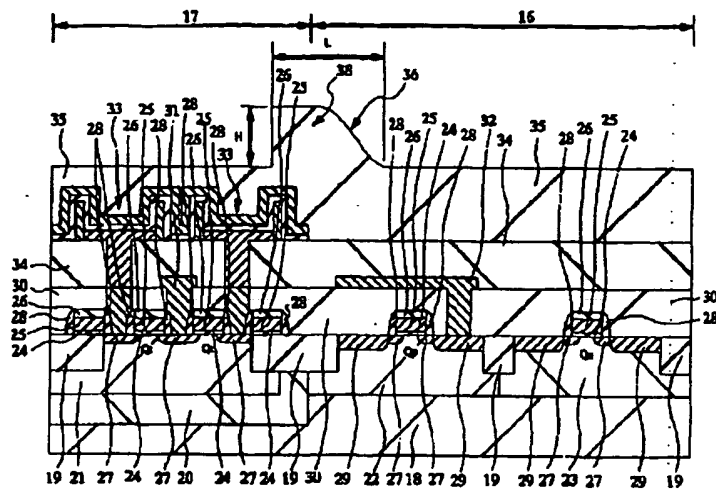
8



(14)

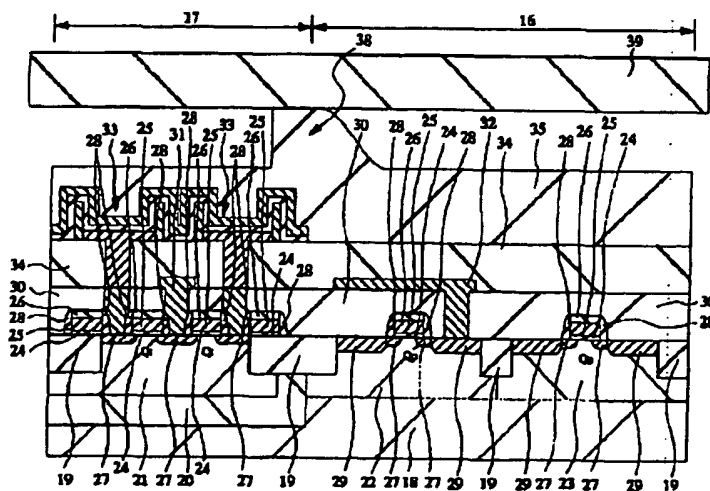
【図9】

9



【図 10】

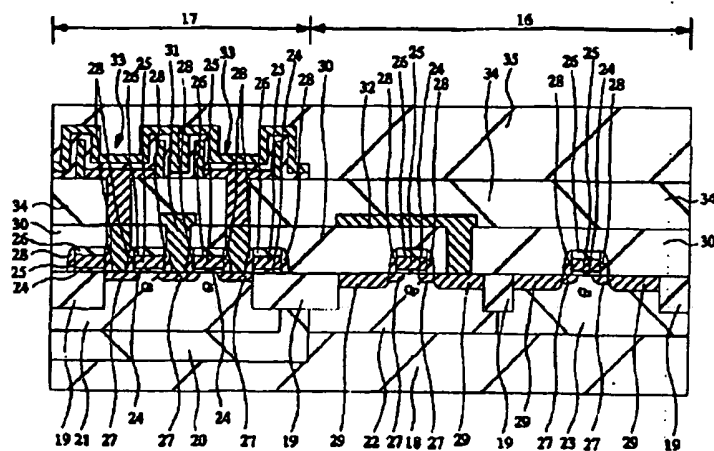
10



(15)

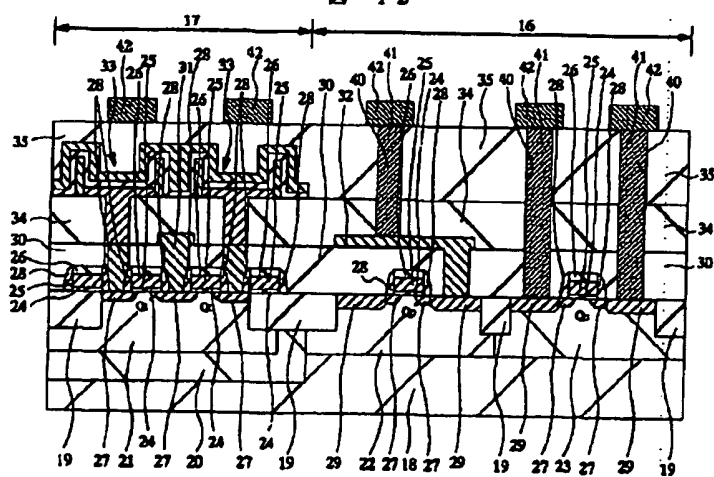
【図11】

図 11



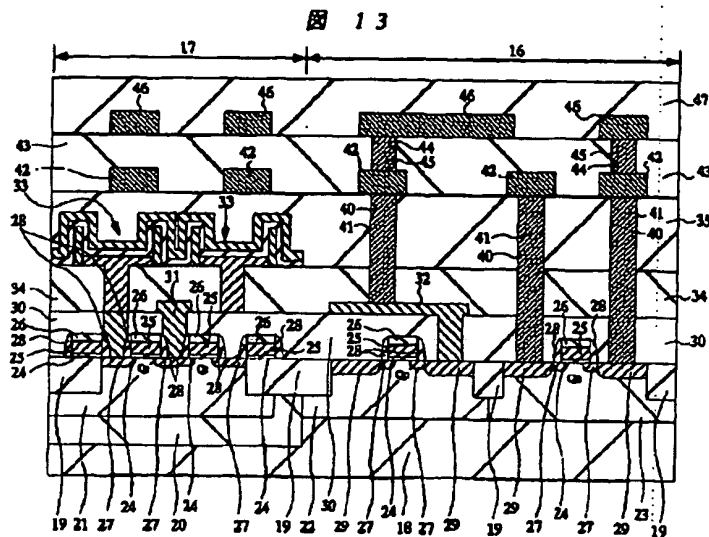
【図12】

図 12

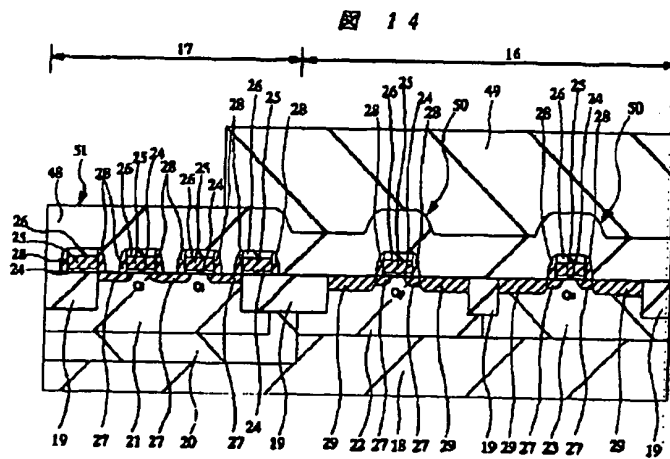


(16)

【図13】



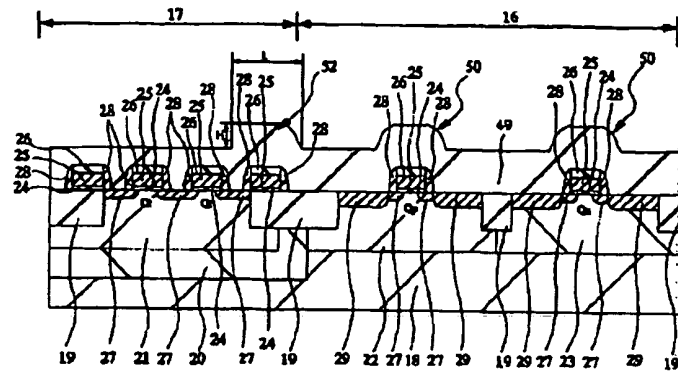
【図14】



(17)

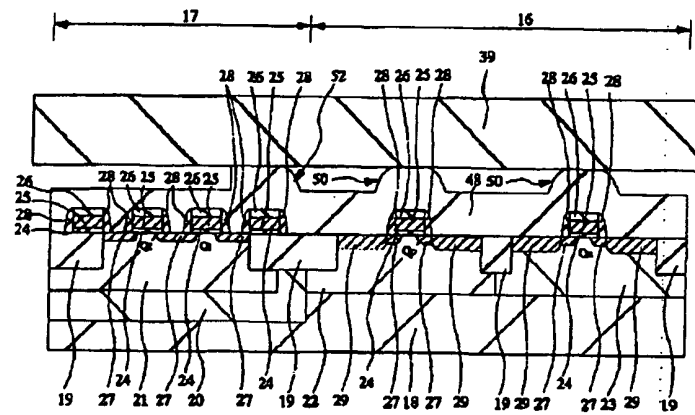
【圖 15】

15



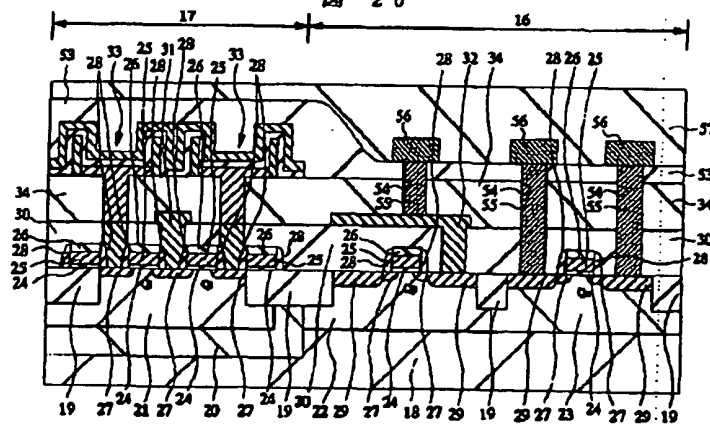
【图16】

16



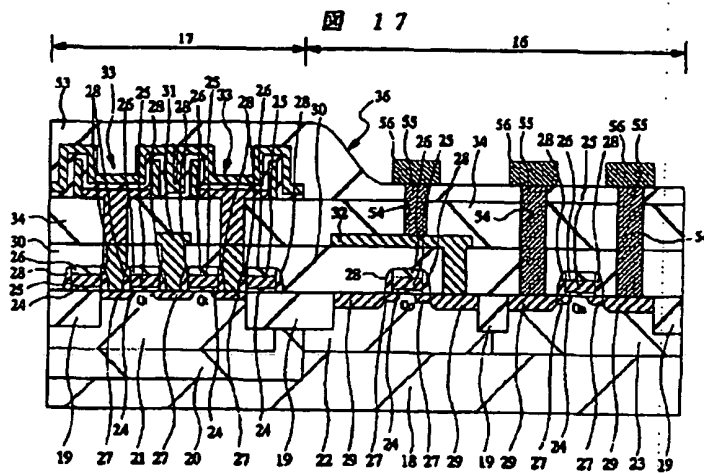
[圖 20]

20

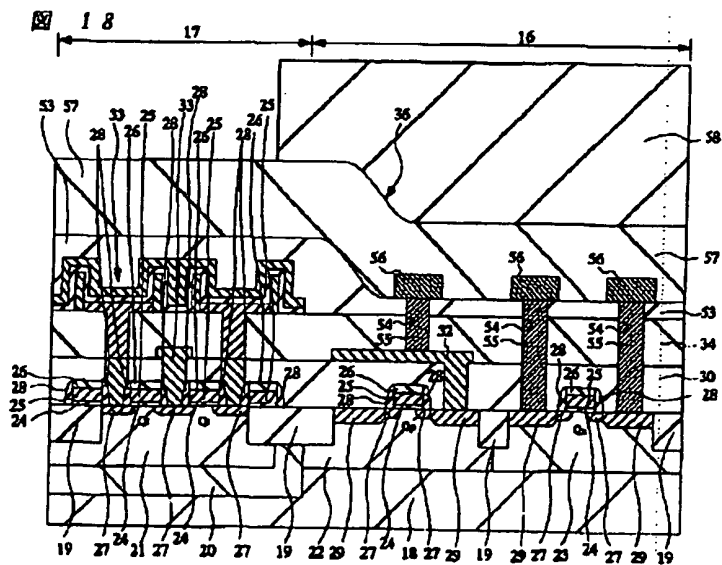


(18)

【図17】



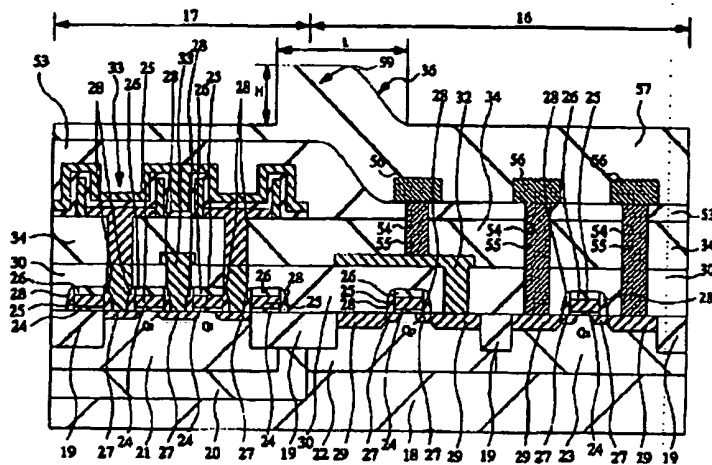
【図18】



(19)

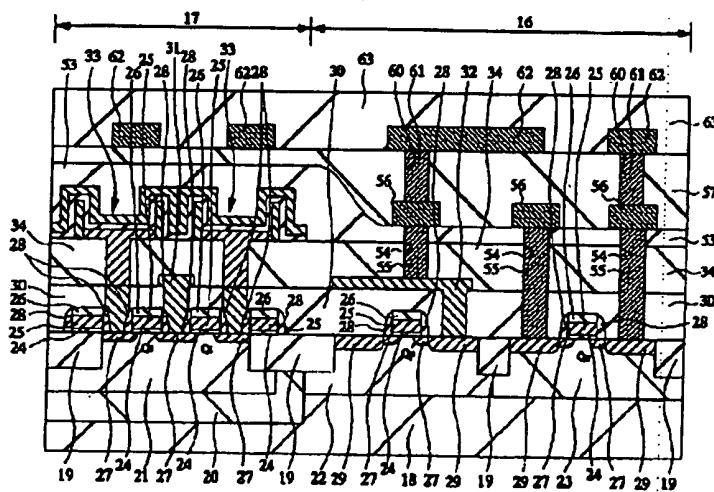
【圖 19】

19



【图 2 1】

21



フロントページの続き

(72) 発明者 池田 典昭

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内